

**Package with embedded capacitors in chip**

Publication number: TW525291 (B)

Publication date: 2003-03-21

Inventor(s): LIN WEI-FENG [TW]; LIU MING-YUAN [TW]; WU JUNG-RU [TW]

Also published as:  
US2003111709 (A1)

Applicant(s): SILICON INTEGRATED SYS CORP [TW]

Classification:

- International: H01L23/495; H01L23/50; H01L23/48; (IPC1-7): H01L27/08

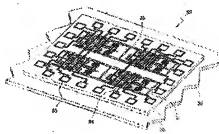
- European: H01L23/495Q; H01L23/50

Application number: TW20010131512 2001121 9

Priority number(s): TW20010131512 2001121 9

**Abstract of TW 525291 (B)**

The present invention discloses a package with embedded capacitors in chip, which has shorter overall conduction path to prevent the voltage drop problem in the prior art, wherein the external capacitors have to go through the I/O pad of the chip for electrically connecting with the power wire and grounding wire inside the chip. Furthermore, the capacitors in the present invention can use the capacitance above the micro Farad level to avoid the problem in the prior art that it is impossible to produce capacitors with larger capacitance under the limitation of processing technology. Thus, the present invention can effectively filter out the current noise.



Data supplied from the esp@cenet database — Worldwide

# 公告本

申請日期	90.12.19
案 號	90131512
類 別	HWL 27/68

A4  
C4

525291

(以上各欄由本局填寫)

發 明 專 利 說 明 書		
一、發明 新 型 名 稱	中 文	內嵌電容於晶片之封裝件
	英 文	
二、發明 人 創 作	姓 名	(1)林 蔚 峰 (2)呂 明 圖 (3)吳 忠 儒
	國 籍	皆中華民國
	住、居所	(1)新竹市武陵路175巷2號8樓之1 (2)新竹縣竹北市中正東路201號2樓 (3)高雄市瑞源路31號5樓之7
三、申請人	姓 名 (名稱)	矽統科技股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新學路科學工業園區研新一路16號
	代 表 人 姓 名	杜 俊 元

裝

訂

線

(由本局填寫)

承辦人代碼：

大 類：

I P C 分類：

C6  
D6

本案已向：

國（地區）申請專利，申請日期： 案號： ☐有 ☐無主張優先權

本案在向中華民國提出申請前未曾向其他國家提出申請專利。

（請先閱背面之注意事項再填寫本頁各欄）

裝

訂

線

四、中文發明摘要(發明之名稱： 內嵌電容於晶片之封裝件 )

本發明揭示一種內嵌電容於晶片之封裝件，可避免習知技藝之外部電容需經由晶片之輸入輸出墊才得以電氣連接至晶片內之電源線和接地線，因此整體之導通路徑較短，故可避免電壓降的問題。此外，本發明之電容可使用微法拉(micro Farad)級以上之電容值，而不像習知技藝般因受製程技術之限制而無法製造出較大之電容，因此本發明可以有效地過濾電流雜訊。

英文發明摘要(發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

線

## 五、發明說明(1)

### 發明領域

本發明係關於一種封裝件，特別是關於一種將電容嵌入於晶片表面以提昇產品電氣特性的封裝件。

### 發明背景

隨著半導體製程技術之進步，在一積體電路內往往內建有數十萬甚至數百萬顆電晶體。若該數十萬顆電晶體同時處於工作的狀態，例如同時開啟(turn on)或同時關閉(turn off)，則將對電源供應造成瞬間的脈衝效應和電氣雜訊，而使得該積體電路的運算結果處於一種不確定的狀態。

為解決電源供應之穩壓及電氣雜訊的問題，習知的方法係在連接該積體電路之電路板上加入複數個電容器以消除該電氣雜訊。如圖1係習知之塑膠球陣列封裝件之立體圖，該球陣列封裝元件11固著於一電路板13之上，而在該球陣列封裝元件11四周設置複數個外接式電容器12。各該複數個外接電容器12電氣連接至該球陣列封裝元件11之電源平面及接地平面，以消除該電源平面及該接地平面之間的電氣雜訊。然，該習知方法將造成電路板13上充斥著各種不同尺寸及種類的電容器，不僅造成高成本及大面積之缺點且不符合現今高科技產品輕薄短小的特性。

由本案之主要發明人於一中華民國專利公告號445556，標題為「降低電氣雜訊之球陣列封裝裝置」之專利說明書內揭示一利用半導體封裝技術將複數個內接式電容23固著於基座21，且將該複數個內接式電容23直接或經由一導通孔電氣連接至電源平面25及接地平面24，如

## 五、發明說明(2)

圖2所示，以有效達成穩壓及過濾電氣雜訊之功能。然，上述方式之電容23和晶片間仍有一段距離，對於高速運算之晶片而言，仍具有雜訊和電壓降等電性問題之存在。

一美國專利第6,285,070號揭示一種將電容器形成在半導體晶片表面的製程技術。藉由該專利所揭露的製程技術，電容器可直接生成在晶片上而成為晶片的一層。但是該專利僅得使用晶片級(die-level)的電容器，其電容值大約只有幾百個微微法拉(pico Farad)，相較之下其使用範圍相當有限。

由於半導體晶片之運算速度愈來愈快且操作電壓愈來愈低，因此如何穩定工作電壓及有效控制電氣雜訊已成為一項非常重要的課題。

發明之簡要說明

本發明之主要目的係提供一種內嵌電容於晶片之封裝件，可有效改進電壓降和電容雜訊之電氣損失問題。

本發明之第二目的係在提供一種能減少主機板或積體電路基板的使用面積且降低主機板或積體電路基板所需製造步驟之封裝件。

為達成上述目的，本發明揭示一種內嵌電容於晶片之封裝件，可避免習知技藝之外部電容需經由晶片之輸入輸出墊才得以電氣連接至晶片內之電源線和接地線，因此整體之導通路徑較短，故可避免電壓降的問題。此外，本發明之電容可使用微法拉級以上之電容值，而不像習知技藝般因受製程技術之限制而無法製造出較大之電容，因此本發

## 五、發明說明(3)

明可以有效地過濾電流雜訊。

本發明之封裝件包含一基板、一晶片、及至少一電容。該晶片設置於該基板上，且包含至少一電源線和接地線。該至少一電容設置於該晶片之表面且電氣連接至該電源線和接地線。此外，本發明可將該至少一電容設置於一附著於該晶片表面之承載座上，且該至少一電容經由該承載座之電路而電氣連接至該電源線和接地線。

圖式之簡單說明

本發明將依照後附圖式來說明，其中：

圖1係習知之塑膠球陣列封裝件之立體圖；

圖2係習知之內嵌電容基板之俯視圖；

圖3係本發明之第一實施例之封裝件之立體圖；及

圖4係本發明之第二實施例之封裝件之立體圖。

元件符號說明

- |            |          |
|------------|----------|
| 11 球陣列封裝元件 | 12 外接式電容 |
| 13 電路板     |          |
| 21 基板      | 23 內接式電容 |
| 24 接地平面    | 25 電源平面  |
| 26 訊號球     | 27 電源球   |
| 30 本發明之封裝件 | 31 電容    |
| 32 晶片      | 33 電源線   |
| 34 接地線     | 35 輸入輸出墊 |
| 36 基板      |          |
| 40 本發明之封裝件 | 41 電容    |

## 五、發明說明(4)

## 4.2 承載座

較佳實施例說明

本發明之較佳實施例將在此配合圖式做一說明。其中在圖式中各構件尺寸比例並非實物構件之等比例，特此說明。

圖3所示為本發明之第一實施例之封裝件之立體圖。如圖所示，本實施例之封裝件30包含一基板36、一晶片32及複數個內嵌於該晶片32上之電容31。該基板36係作為一承載該晶片32之載具，其可以使用於一球陣列封裝或由一導線架(leadframe)作等效置換，本發明對此並未做任何限制。該複數個電容31係以導電膠或錫錫等可導電的接著方式固定於晶片32表面的電路佈局(layout)之電源線( $V_{dd}$ )33和接地線( $V_{ss}$ )34之間。換言之，習知技藝之外部電容係置於晶片32之外部，需經由輸入輸出墊35才得以電氣連接至電源線33和接地線34，因此整體之導通路徑較長而造成電壓降。相對地，本發明直接將複數個電容31固定於晶片32表面的電源線33和接地線34之間，其導通路徑最短，故可有效降低電壓降之問題。此外，在本實施例中之電容可使用微法拉級以上之電容值，而不像習知技藝般因受製程技術之限制而無法製造出較大之電容，因此本發明可以有效地過濾電流中的雜訊。

在電容31的尺寸方面，若使用的封裝件為裸晶形式，則固著在晶片32上的電容31之尺寸彈性較大，只要符合不影響晶片32打線區域的原則，並且可以置放在電源線33和接



## 五、發明說明(5)

地線34之間即可。但是若使用的封裝件需封膠，則電容的尺寸就需配合封膠的高度。尤其是在現今講求產品輕薄短小的趨勢下，薄形封裝(整體元件高度小於1mm)相當盛行，在此情況下，尤需注意所使用的電容的尺寸問題。另本發明可使用於傳統之平板封裝(Quad Flat Package; QFP)、球陣列封裝(BGA)、板上晶片封裝(Chip on board)或覆晶封裝(Flip chip)，本發明對此並未作任何限制。

圖4係本發明之第二實施例之封裝件之立體圖。如圖所示，本實施例之複數個電容41並非直接安置於晶片32的表面，而是先以並聯做方式設置於一承載座42之上，該承載座42的材質可為可撓性電路板或載板(carrier board)。之後，將該承載座42固著在晶片32表面，並經由預留之線路再電氣連接至電源線( $V_{dd}$ )33和接地線( $V_{ss}$ )34。由於該複數個電容41可預先於該承載座42之上作電路配置，例如以並聯方式增加電容值，因此在使用上將更具有彈性。此外，本實施例的承載座42可在不影響晶片之電路配置的情形下而設置於晶片32之上表面或下表面，如此的配置方式將使整體封裝件40之設計更有彈性。

本發明之電容配置方式具有以下優點：

- (1)可提昇產品電氣特性：本發明之電容直接嵌入於晶片表面，與晶片之電源線和接地線間的距離最短，故可解決長久之來的電壓降和電氣雜訊之電性問題。本發明之一實驗結果係利用1.8伏特電壓，3.6瓦特功率，且以8對電容連接電源線33和接地線34。依量測結果

## 五、發明說明(6)

顯示，本發明之內嵌電容於晶片之封裝件約可降低45%的電源雜訊。

- (2)可節省主機板或積體電路基板的使用空間：由於本發明將複數個電容妥善地設置於晶片之表面，因此可省略掉設置電容在主機板或積體電路基板上之步驟。本發明不僅可提高主機板或積體電路基板表面之使用空間，亦可有效地減少主機板或基板之製造步驟。

本發明之技術內容及技術特點已揭示如上，然而熟悉本項技術之人士仍可能基於本發明之教示及揭示而作種種不背離本發明精神之替換及修飾。因此，本發明之保護範圍應不限於實施例所揭示者，而應包括各種不背離本發明之替換及修飾，並為以下之申請專利範圍所涵蓋。

裝

- 訂

線

## 六、申請專利範圍

8. 如申請專利範圍第6項之內嵌電容於晶片之封裝件，其中該電容具有微法拉級以上之電容值。
9. 如申請專利範圍第6項之內嵌電容於晶片之封裝件，其中該至少一電容可在該承載座上進行電路連接。
10. 如申請專利範圍第6項之內嵌電容於晶片之封裝件，其中該基板和該晶片係以打線或覆晶接合的方式而電氣連接。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

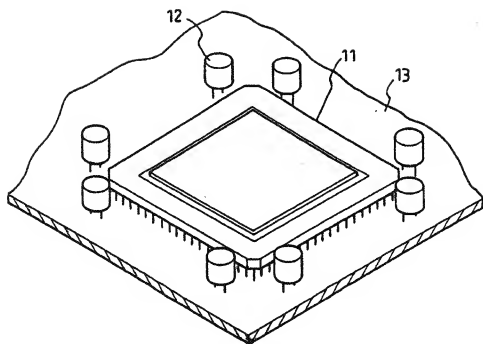


圖 1  
(習知技藝)

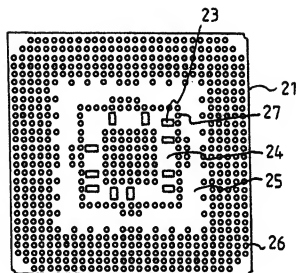


圖 2

習知技藝

91.10.28 頁

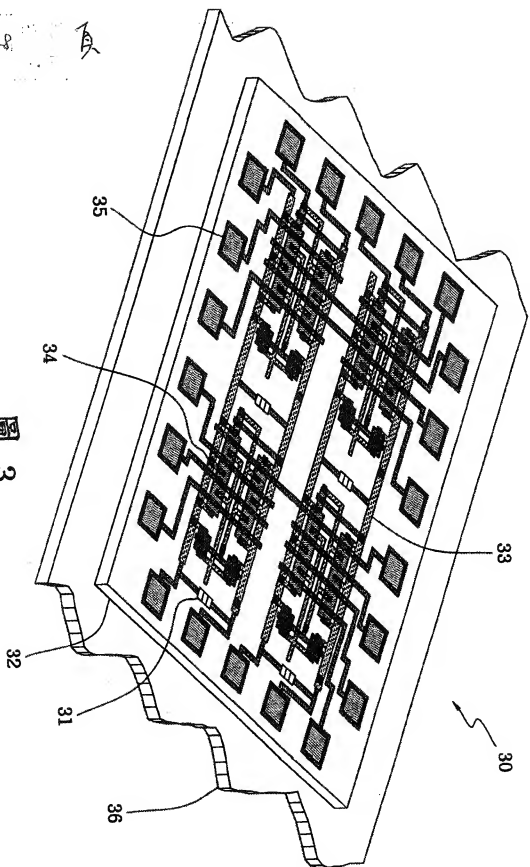


圖 3

91,10,28

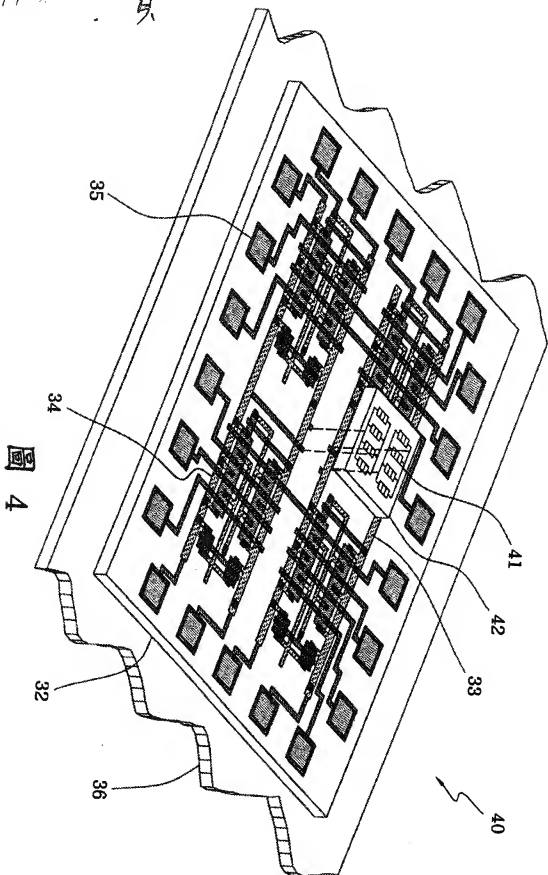


圖 4